

⑰ 公開特許公報 (A)

昭63-274214

⑯ Int.Cl.⁴

H 03 M 1/08

識別記号

府内整理番号

B-6832-5J

⑯ 公開 昭和63年(1988)11月11日

審査請求 有 発明の数 1 (全3頁)

④発明の名称 ディジタル・アナログ変換回路

⑪特願 昭62-108561

⑫出願 昭62(1987)5月1日

⑦発明者 三宅 正泰 東京都西多摩郡羽村町神明台2-1-1 国際電気株式会社羽村工場内

⑧出願人 国際電気株式会社 東京都港区虎ノ門2丁目3番13号

⑨代理人 弁理士 大塚 学 外1名

明細書

1. 発明の名称

ディジタル・アナログ変換回路

2. 特許請求の範囲

ディジタル出力信号とその1標準周期遅延したディジタル信号との減算回路と、その出力のディジタル・アナログ変換回路と、その変換出力を標準周期の間だけ積分する回路と、その積分開始直前の積分値との加算回路を備えたことを特徴とするディジタル・アナログ変換回路。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明はDA変換回路特にその折り返し雑音の低減に関するものである。

(従来技術)

第2図(a)は従来のディジタル・アナログ変換回路例の系統図で、(7)はディジタル信号処理部、(8)

はDA変換回路、(9)は低域渋波回路である。第2図(b)は第2図(a)における信号処理部(7)の出力AとDA変換回路(8)の出力Bと低域渋波器(9)の出力Cの波形をそれぞれ示すタイムチャートである。また第2図(c)はDA変換器出力の出力スペクトラムを示す。

しかし従来のディジタル・アナログ変換においては、折り返し雑音と呼ばれる不要信号成分が、第2図(c)に示すように標本周波数 f_0 の整数倍の周波数を中心として斜線部 b_1, b_2 のように発生する。そこで第2図(c)の点線(c)で示すような特性を持つ低域渋波器が必要となる。ところが標本化周波数が信号のもつ上限の周波数 f_u に近付くと、(ただし標本化定理から $f_s \geq 2f_u$ の条件が成立する必要があるが)低域渋波器としては第2図(c)の点線(c)で示すような急峻な特性のものが必要となる。即ちDA変換後の信号は階段状のアナログ信号であり、これは零次ホールド波形と呼ばれるもので、その折返し雑音の大きさは希望信号に比べ-13dBの大きさである。従って、その設計製作が

困難であるばかりではなく、素子数も多くなり、また安定性に欠ける嫌いがある。

(発明の目的)

本発明は上述のような従来技術の欠点に鑑みてなされたもので、第2図で示した従来の回路におけるDA変換器とこれに続くLPFの代わりに、DA変換を行なう前に前処理を行なう回路および、DA変換後に積分回路と累積加算回路とを追加することによって、線形補間を行った波形を得て、LPFに要求される特性を緩やかなものにすることが出来るディジタル・アナログ変換回路を得ることを目的とするものである。即ち線形補間を行った波形のアナログ出力では、その折り返し雑音の大きさは希望信号に比べ-26.5dBで、これは前述の階段状の零次ホールド波形に比べ約1/4である。以下実施例によって本発明を詳細に説明する。

(発明の構成と作用)

第1図(a)は本発明の一実施例回路の系統図で、ディジタル信号処理された信号Aは(第1図bの出力波形図A参照)1標本周期の遅延素子(T)と

信号F(第1図b)F参照)即ち線形補間を行った出力となる。標本化保持(SH)回路(6)は1標本周期の積分が終わった時点での出力(F)を標本し、次の1標本周期の間だけ保持するもので、その制御パルスは前記の(H)と同じである。即ちSH回路(6)の出力信号(G)は階段波(第1図b)のG参照)である。そしてこの出力信号Fのスペクトラムは第1図(C)のようになり、希望のスペクトラムaと折り返し雑音 b_1, b_2 が標本周波数 $f_s, 2f_s$ の周囲に現れるが、これらは先に述べた従来のもの即ち第2図(C)に示したものに比して低減されていることは前述の信号理論の通りであり、従って渋波器LPFの特性(C)は従来に比し緩やかでよいので、渋波器は素子数の少ない簡単安価なものでよい。

(発明の効果)

以上の説明から明らかなように、本発明によるときは標本出力を線形補間した出力を得ることが出来るので、折り返し雑音が低減し、雑音除去用の渋波器が簡単安価なもので、実用上の効果

減算回路(2)とよりなる前処理回路のそれに入力され、その遅延信号B(第1図b)のB参照)とA信号との減算出力信号Cは第1図b)のCで示される。今入力信号Aを X_i とすると信号Bは X_{i-1} で表わされる。ただし i は標本番号を示す添字である。従って、信号Cを ΔX_i とするとこれは $\Delta X_i = X_i - X_{i-1}$ で表わされる。そしてこの信号CはDA変換回路(3)でアナログ信号Dに変換される(第1図b)のD参照)。このアナログ信号Dは階段波であるが、これを R_1, C_1 およびスイッチ S_1 と増幅器とから成る積分回路(4)で積分する。スイッチ S_1 は積分器が1標本分DA変換器出力Dを積分したときに C_1 に蓄積された電荷を放電し、積分器が常に零から積分を行なうようにするためのもので、その制御はパルス列H(第1図b)H参照)で行われ、パルス列(H)のパルス幅は標本周期に比して充分狭いものである。この積分出力Eは第1図b)のEに示すように3角波であり、これは加算器(5)で前の標本点までの1周期間の加算された積分値の標本化信号Gと加算され、出力

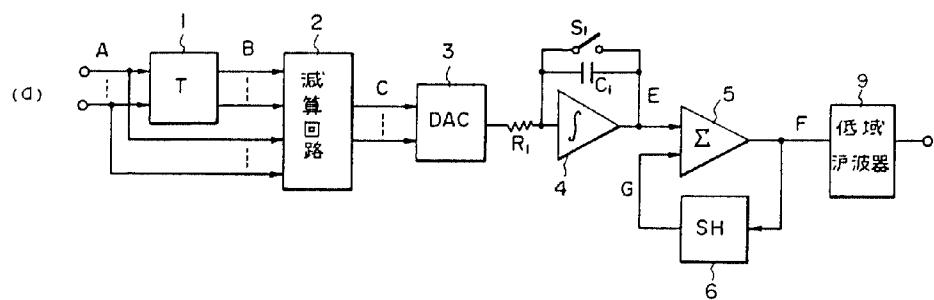
大なるものがある。

4. 図面の簡単な説明

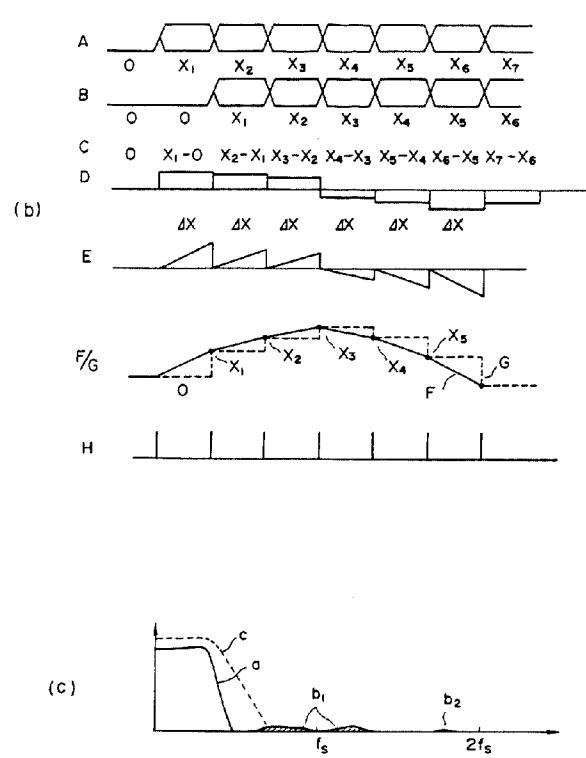
第1図(a), (b), (c)は本発明の一実施例回路の系統図、回路各部の出力波形図および出力信号のスペクトラム図、第2図(a), (b), (c)は従来回路の系統図、回路各部の出力波形図、および出力信号のスペクトラム図である。

- (1)…遅延素子、 (2)…減算回路、 (3), (8)…デジタル変換回路(DAC)、 (4)…積分回路、 (5)…加算回路Σ、 (6)…標本化保持SH回路、 (7)…ディジタル信号処理部、 9…低域渋波器、 (a)…希望スペクトラム、 (b₁)(b₂)…折り返し雑音、 c…渋波器の特性、 (f_s)…標本化周波数、 A…ディジタル入力信号、 B…Aの遅延信号、 C…減算回路出力信号、 D…デジタル・アナログ変換回路出力信号、 E…積分回路出力信号、 F…加算回路の出力信号、 G…標本化保持回路の出力信号。

第1図



第1図



第2図

